

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-093912

(43)Date of publication of application : 04.04.1997

(51)Int.Cl.

H02M 3/155

H01L 27/04

H01L 21/822

(21)Application number : 07-241933

(71)Applicant : SHARP CORP

(22)Date of filing : 20.09.1995

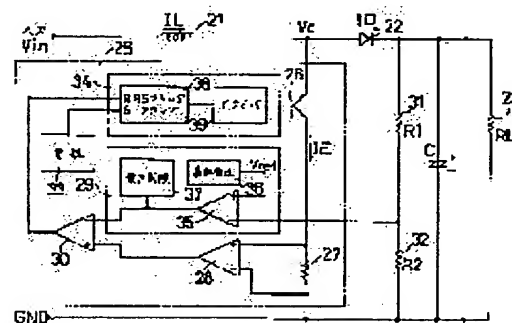
(72)Inventor : IZUMI HIRONOBU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve temperature characteristic by improving the accuracy of detection of a current detected in a semiconductor integrated circuit.

SOLUTION: A current detecting resistor 27 utilizing a metal wiring is provided in a control IC of the current mode control system voltage step-up switching power supply circuit to detect with higher accuracy the output current from a power transistor 26. The temperature characteristic which has been realized by utilizing the metal wiring can be cancelled with a comparator 30 by giving the temperature characteristic for compensation to a voltage limiter circuit 37. Thereby, over-current protection of the power transistor 26 and control accuracy for the voltage across a load resistor 23 can be improved.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-93912

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/155			H 0 2 M 3/155	H
				C
				J
H 0 1 L 27/04			H 0 1 L 27/04	F
21/822				H
審査請求 未請求 請求項の数7 O L (全9頁)				

(21) 出願番号 特願平7-241933

(22) 出願日 平成7年(1995)9月20日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 出水 啓修

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

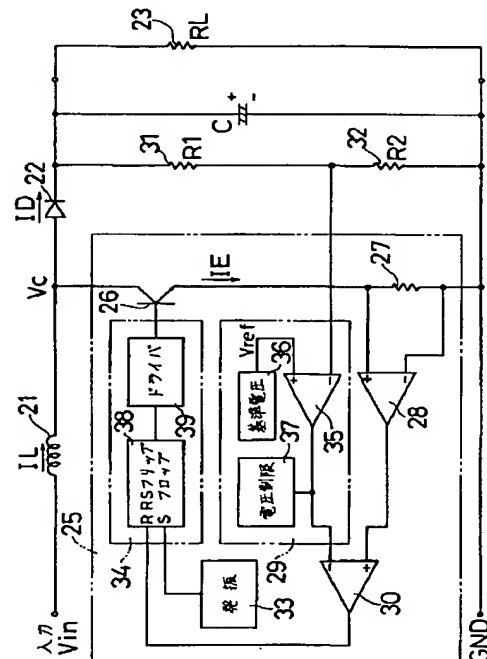
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 半導体集積回路内で検出する電流の検出精度を向上し、温度特性も改善する。

【解決手段】 電流モードを制御方式昇圧型スイッチング電源回路の制御用 IC 25 内には、メタル配線を利用した電流検出抵抗 27 が含まれ、パワートランジスタ 26 の出力電流を精度良く検出することができる。メタル配線を利用したことによる温度特性は、電圧制限回路 37 に補償用の温度特性を持たせ、コンパレータ 30 で相殺させる。これによってパワートランジスタ 26 の過電流保護や、負荷抵抗 23 の両端の電圧の制御精度を向上させることができる。



1

【特許請求の範囲】

【請求項1】 検出すべき電流が流れ、電流検出区間が設けられるメタル配線と、
メタル配線の電気抵抗値の温度特性を補償しながら、予め定める電流値に対応する基準電圧を発生する温度補償手段と、
前記電流検出区間での電圧降下が入力され、前記温度補償手段からの基準電圧に基づいて、メタル配線の電流検出区間を流れる電流が前記予め定める電流値を超えるか否かを判定する電流判定手段とを含むことを特徴とする半導体集積回路。

【請求項2】 出力素子を含み、

前記電流検出区間は、出力素子を流れる電流の経路に設けられることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記出力素子は、スイッチング電源回路のスイッチング素子として動作し、
前記電流判定手段の判定出力に応答して、出力電圧の制限を行う電圧制限手段を含むことを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記電圧制限手段は、前記出力素子の過電流保護を行うことを特徴とする請求項3記載の半導体集積回路。

【請求項5】 前記スイッチング電源回路は電流モード型であり、
前記電圧制限手段は出力電圧制御を行うことを特徴とする請求項3記載の半導体集積回路。

【請求項6】 前記出力素子は、並列に接続される複数個から成り、
前記電流検出区間は、出力素子全体に対して共通に設けられることを特徴とする請求項2～5のいずれかに記載の半導体集積回路。

【請求項7】 前記出力素子は、並列に接続される複数個から成る複数の群を形成し、
前記電流検出区間は、予め選択される出力素子の群に対して設けられることを特徴とする請求項2～5のいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電流検出機能を有する半導体集積回路、特に過電流保護あるいは電流モード型として動作するスイッチング電源に好適に使用することができる半導体集積回路に関する。

【0002】

【従来の技術】近年、半導体集積回路にはパワートランジスタなどの出力素子と、パワートランジスタなどに流れる電流を検出するための抵抗などが集積して形成され、外部に接続する部品数の削減が図られている。図7は、電流モード制御方式の昇圧型スイッチング電源回路の概略的な構成を示す。入力される電圧 V_{in} には直列

2

にコイル1が挿入され、ダイオード2を介して負荷抵抗3に電流が供給される。負荷抵抗3には、並列にコンデンサ4が接続されている。負荷抵抗3に供給する電圧は、半導体集積回路（以下「IC」と略称する）5によって制御される。IC5内にはパワートランジスタ6、電流検出抵抗7、カレントアンプ8、エラーアンプ9およびコンパレータ10などが形成されている。エラーアンプ9は、負荷抵抗3の両端間に直列接続される分圧抵抗11、12の midpoint の電圧を検出する。IC5内には、さらに発振器13およびドライブ回路14も含まれ、パワートランジスタ6をスイッチング制御する。

【0003】図8は、図7の昇圧型スイッチング電源回路の動作波形を示す。(A)に示すように、発振器13は、たとえば20 μ 秒のOSC周期毎WにSet信号を発生する。ドライブ回路14は、時刻 t_1 に、発振器13からSet信号が与えられると、パワートランジスタ6をON状態に制御する。パワートランジスタ6がON状態となると、パワートランジスタ6のコレクタ・エミッタ間電圧は飽和電圧まで低下し、(B)に示すようにコレクタ電圧 V_c はほとんど接地GNDの電位に近くまで低下する。パワートランジスタ6がON状態のときには、(C)に示すように、そのエミッタ電流 I_E は、入力電圧 V_{in} とパワートランジスタ6の飽和電圧 V_{sat} との差をコイル1のインダクタンスLの値で除算した傾きに従って増加する。この間にコイル1に流れる電流によって、コイル1には電磁的なエネルギーが蓄えられる。コイル1に蓄えられた電磁エネルギーは、パワートランジスタ6が時刻 t_2 にOFF状態となってパワートランジスタ6に流れるコレクタ電流が遮断されると、ダイオード2を介して負荷抵抗3およびコンデンサ4に流れる電流 I_D を(D)に示すように供給する。すなわち、負荷抵抗3には、時刻 t_1 から t_2 まではコンデンサ4に充電されている電荷を放電する電流が流れ、時刻 t_2 から次のSet信号が立上がる時刻 t_3 までは、ダイオード2を介して流れる電流が負荷抵抗3に供給されるとともに、コンデンサ4を充電する。

【0004】(E)に示すように、カレントアンプ8からの出力は、(C)に示すエミッタ電流 I_E に対応して変化する。カレントアンプ8の出力はコンパレータ10でエラーアンプ9からの出力レベル L_e と比較され、エラーアンプ9からの出力レベル L_e を超える時刻 t_2 にコンパレータ10からは(F)に示すようなReset信号が導出される。ドライブ回路14は、コンパレータ10からのReset信号が立上がると、パワートランジスタ6をOFF状態とする。

【0005】エラーアンプ9の出力は、負荷抵抗3の両端の出力電圧 V_0 が設定値より低くなるほど高くなり、 V_0 が設定値よりも高くなるほど低くなる。すなわち、出力電圧 V_0 が低くなると、エラーアンプ9からの出力電圧が高くなるので、カレントアンプ8の出力が高くな

10

20

30

40

50

3

るまでパワートランジスタ6がON状態を続ける。これによってコイル1での電磁的エネルギーの蓄積量が増大し、出力電圧V0が大きくなるフィードバック機構が形成される。出力電圧V0が設定値より高いときには、逆の動作を行う。エラーアンプ9内の基準電圧をVref

$$V0 = \frac{R1 + R2}{R1} \times Vref$$

【0007】エラーアンプ9内には、リミッタ回路が設けられ、パワートランジスタ6に流れる電流の上限を制限することによって、過電流保護を行うことができる。

【0008】図7のパワートランジスタ6の代わりに、出力トランジスタ15として、小電力用のパワートランジスタ16を、たとえば60個並列に接続して構成される。各パワートランジスタ16のエミッタには、エミッタ拡散抵抗17が直列に接続される。図1の電流検出抵抗7としては、エミッタ拡散抵抗17の内からの一つを該当させる。電流検出抵抗としてのエミッタ拡散抵抗17は、約10Ωの抵抗値を有し、その温度係数は約2000ppm/°Cである。カレントアンプ8は、電流検出抵抗7の電圧降下分を検出し、約10倍に増幅する。

【0009】

【発明が解決しようとする課題】図7に示すようなスイッチング電源回路では、電流検出抵抗7をエミッタ拡散抵抗17によって形成している。この抵抗値の精度は±20%と大きく、かつ温度係数が2000ppm/°Cあることから、過電流検出レベルが大きくばらついてしまう。大きい方にばらついたときには、パワートランジスタ16に流れる電流が大きくなるまで保護されないの

で、パワートランジスタ16として大きな電流容量を有する大型のものが必要となる。また、一つの出力トランジスタ15として、たとえば60個のパワートランジスタ16を並列に接続する際に、各パワートランジスタ16のエミッタ電流IEが均等に流れていれば問題は生じないけれども、実際には温度分布の変化などによって均一には流れず、このことによって誤差が増大する。

【0010】本発明の目的は、半導体集積回路内で精度よく電流を検出することができ、検出した電流によって信頼性の高い動作を行わせることができる半導体集積回路を提供することである。

【0011】

【課題を解決するための手段】本発明は、検出すべき電流が流れ、電流検出区間が設けられるメタル配線と、メタル配線の電気抵抗値の温度特性を補償しながら、予め定める電流値に対応する基準電圧を発生する温度補償手段と、前記電流検出区間での電圧降下分が入力され、前記温度補償手段からの基準電圧に基づいて、メタル配線の電流検出区間を流れる電流が前記予め定める電流値を超えるか否かを判定する電流判定手段とを含むことを特徴とする半導体集積回路である。本発明に従えば、メタル配線区間に検出すべき電流が流れる電流検出区間を設

4

* f、分圧抵抗11、12の抵抗値をR1、R2とすると、出力電圧V0は次の第1式で表される。

【0006】

【数1】

…(1)

け、メタル配線の電気抵抗値の温度特性を補償する基準電圧に基づいて、電流検出区間での電圧降下分から電流が予め定める電流値を超えるか否かを判定する。メタル配線の電気抵抗値は温度変化によっての変動が大きいけれども、基準電圧で温度補償を行うので、正確に予め定める電流値を超えたか否かを判定することができる。電流の検出が正確に行われるので、精度が良くかつ信頼性の高い動作を行わせることができる。電流検出はメタル配線の部分で行うので、検出抵抗形成用の拡散を行う必要がなく、メタル配線を有効に利用することができる。

【0012】また本発明は、出力素子を含み、前記電流検出区間は、出力素子を流れる電流の経路に設けられることを特徴とする。本発明に従えば、出力素子を流れる電流の経路に電流検出区間を設けるので、出力素子の動作に関連する制御を正確に行うことができる。

【0013】また本発明の前記出力素子は、スイッチング電源回路のスイッチング素子として動作し、前記電流判定手段の判定出力に応答して、出力電圧の制限を行う電圧制限手段を含むことを特徴とする。本発明に従えば、電流判定手段の出力によってスイッチング電源回路の出力電圧を制限するので、信頼性の高いスイッチング電源回路を容易に構成することができる。

【0014】また本発明の前記電圧制限手段は、前記出力素子の過電流保護を行うことを特徴とする。本発明に従えば、スイッチング電源回路のスイッチング素子の過電流保護を有効に行うことができ、信頼性の高いスイッチング電源回路を実現することができる。

【0015】また本発明の前記スイッチング電源回路は電流モード型であり、前記電圧制限手段は出力電圧制御を行うことを特徴とする。本発明に従えば、電流モード型スイッチング電源回路の出力電圧を、高精度で行うことができる。

【0016】また本発明の前記出力素子は、並列に接続される複数個からなり、前記電流検出区間は、出力素子全体に対して共通に設けられることを特徴とする。本発明に従えば、複数個の出力素子を並列に接続するので、一つの出力素子当たりの熱損失を小さく抑えることができる。電流検出区間はメタル配線に設けるので、複数個の出力素子全体に対して容易に共通接続状態を実現することができる。

【0017】また本発明の前記出力素子は、並列に接続される複数個からなる複数の群を形成し、前記電流検出区間は、予め選択される出力素子の群に対して設けられ

50

ることを特徴とする。本発明に従えば、電流検出区間をメタル配線上に設けるので、その精度を高めることができ、部分的な出力素子の群に対して設けても、出力素子全体に対する精度の良い制御を行うことができる。

【0018】

【発明の実施の形態】図1は、本発明の実施の一形態による制御方式による昇圧型スイッチングレギュレータの構成を示す。コイル21、ダイオード22および負荷抵抗23が直列に接続され、コンデンサ24が負荷抵抗23に並列に接続される。コイル21とダイオード22の10 アノードとの接続点には、IC25内のパワートランジスタ26のコレクタが接続される。IC25内には、パワートランジスタ26のエミッタ側に接続される電流検出抵抗27が含まれる。また電流検出抵抗27の両端間の電圧降下分を検出するカレントアンプ28、負荷抵抗23の両端間の電圧に対応する電圧を検出するエラーアンプ29、カレントアンプ28およびエラーアンプ29の出力を比較するコンパレータ30も含まれる。負荷抵抗23の両端間の電圧は、直列に接続される分圧抵抗31、32によって検出される。分圧抵抗31、32の接20 続点から得られる検出電圧は、エラーアンプ29に入力される。IC25内には、発振器33およびドライブ回路34も含まれる。

【0019】エラーアンプ29内には、反転入力側に分圧抵抗31、32からの入力電圧が入力されるコンパレータ35、コンパレータ35の非反転入力側に基準電圧 V_{ref} を与える基準電圧源36、コンパレータ35の出力側に設けられる電圧制限回路37が含まれる。ドライブ回路34には、RSフリップフロップ38およびド30 ライバ39が含まれる。RSフリップフロップ38のリセット入力Rには、コンパレータ30からのReset信号が入力される。RSフリップフロップ38のセット入力Sには、発振器33からのクロック信号がSet信号として入力される。IC25の動作は、図8によって示すIC5の動作と同等である。しかしながら、電流検出抵抗27をIC25のメタル配線を利用して形成する点が、IC5における拡散抵抗利用と異なる。

【0020】図1のスイッチング電源回路において、コイル21のインダクタンスLはたとえば $100\mu\text{H}$ 、コンデンサ4の容量Cは $470\mu\text{F}$ 、エラーアンプ内のコンパレータ35のゲインは100倍で40dB、カレントアンプ28のゲインは10倍で20dBである。コイル21を流れる電流ILは、パワートランジスタ26を流れる電流IEとなるか、ダイオード22を流れる電流IDとなるか、パワートランジスタ26のスイッチング状態に応じて切替わる。

【0021】図2は、図1のパワートランジスタ26の構成を示す。本実施形態では、小容量のパワートランジスタ41を240個集積し、それぞれのエミッタにエミッタ拡散抵抗42を挿入した状態で、全体として並列接

続してパワートランジスタ26として動作させる。各パワートランジスタ41のエミッタ拡散抵抗42は、約 10Ω の抵抗値を有し、各パワートランジスタ41に流れるエミッタ電流IEの均質性を高める。パワートランジスタ41の数が多い分だけ、均質性を高めることができ、スイッチング電流が一部分に集中しにくくなり、破壊されにくくなる。

【0022】電流検出抵抗27は、各パワートランジスタ41のエミッタ電流が合流した後に挿入されており、半導体集積回路としてのメタル配線を行う部分の一部に形成される。パワートランジスタ41の全体のエミッタ電流IEを全て直接検出するので、検出精度を高めることができる。またメタル配線における抵抗値は $50\text{m}\Omega$ 程度であり、そのばらつきは $\pm 10\%$ であって、エミッタ拡散領域として形成する場合の $\pm 20\%$ よりも小さくすることができるので、一層検出精度を高めることができる。しかしながらメタル配線は、たとえばアルミニウム(Al)などを使用するので、抵抗温度係数は約 $3900\text{ppm}/^\circ\text{C}$ 程度となり、エミッタ拡散抵抗の場合の約 $2000\text{ppm}/^\circ\text{C}$ よりも大きくなってしまふ。これを改善するため、本実施形態では、電圧制限回路37に温度特性を持たせ、制限電圧の温度特性をメタル配線の抵抗温度特性に対応して調整可能としている。

【0023】図3は、図1の電圧制限回路37の構成を示す。NPNトランジスタ51のコレクタ電流I1が流れるPNPトランジスタ52は、PNPトランジスタ53と対を成してカレントミラー回路を構成する。電流I2が流れるPNPトランジスタ53のコレクタ側にはPNPトランジスタ54のベースが接続される。電圧制限回路37には、正の一定電圧 $V_s = 2.3\text{V}$ が印加され、この低電圧Vsを抵抗55、56で分圧した電圧V1がNPNトランジスタ51のベースに印加される。NPNトランジスタ51のエミッタと接地GNDとの間には、抵抗57が接続される。PNPトランジスタ53のコレクタとPNPトランジスタ54のベースとの共通接続点と、接地GNDの間には抵抗58が接続される。抵抗55、56、57、58の抵抗値をR11、R12、R13、R14とする。抵抗値の一例は、R11 = $30\text{k}\Omega$ 、R12 = $16\text{k}\Omega$ 、R13 = $1\text{k}\Omega$ 、R14 = $10\text{k}\Omega$ である。

【0024】電圧制限回路37の制限電圧をV1とすると、このV1が電流検出抵抗27の温度特性である $3900\text{ppm}/^\circ\text{C}$ と同じレベルで温度変化すれば、温度変化による検出電流値の変動分を相殺させることができる。V1 = 2V とすると、 $+3900\text{ppm}/^\circ\text{C}$ の温度特性を持たせるためには、 1°C 当たり 7.8mV の上昇が必要となる。トランジスタ51、54のベース・エミッタ間電圧をVBE1、VBE4とすれば、V1は次の第2式で表される。

【0025】

【数2】

$$\begin{aligned}
 V_1 &= V_{BE4} + R_{14} \times I_2 \\
 &= V_{BE4} + R_{14} \times I_1 \quad (\because I_2 = I_1) \\
 &= V_{BE4} + R_{14} \times \frac{V_1 - V_{BE1}}{R_{13}} \\
 &= \left(1 - \frac{R_{14}}{R_{13}}\right) V_{BE} + \frac{R_{14}}{R_{13}} \times V_1 \\
 &\quad (\because V_{BE} = V_{BE4} = V_{BE1}) \quad \dots (2)
 \end{aligned}$$

【0026】すなわちカレントミラー回路を構成するP 10*である。エミッタ電圧V 1の温度特性は、次の第3式でNPトランジスタ5 2, 5 3のコレクタ電流I 1, I 2 表される。

は等しく、各トランジスタ5 1, 5 2, 5 3, 5 4のベ ー・エミッタ間電圧もVBEで等しいとみなせるから* 【0027】

$$\frac{dV_1}{dT} = \left(1 - \frac{R_{14}}{R_{13}}\right) \times (-2\text{mV}) = 7.8\text{mV} \quad \dots (3)$$

【0028】VBEの温度特性は、シリコントランジスタであるので、-2mVである。したがって、R 14とR 13との比は第4式に示すように4. 9となる。 ※ 【0029】

$$\therefore \frac{R_{14}}{R_{13}} = 4.9 \quad \dots (4)$$

【0030】すなわち、R 14/R 13=4. 9とすれば、V 1=2VとしたときのV 1の温度特性は+39.00ppm/℃となり、メタル配線を抵抗として利用したときの温度特性と合わせることができ、温度による変動分を相殺することができる。R 14/R 13の比を小さくすれば、V 1の正の温度特性が小さくなり、過電流検出レベルも少し負の温度特性となる。メタル配線の温度特性よりも小さくなる分は、早く過電流として検出してしまふ。このようにR 14/R 13の比によって過電流検出レベルの温度特性を調整することができる。したがって、電流検出抵抗2 7にメタル配線を用い、その温度係数が大きいという問題は解決される。

【0031】図4はIC 25のチップ表面における回路配置を示し、図5は図4の切断面線V-Vから見た断面を示す。図示の便宜上、小さなトランジスタの個数を4として示す。パワートランジスタ2 6はフィールド6 0内に形成され、その中にはベース拡散領域6 1、エミッタ拡散領域6 2およびコレクタ拡散領域6 3が設けられる。ベース拡散領域6 1内には、ベースコンタクト6 4, 6 5が設けられ、エミッタ拡散領域6 2内にはエミッタコンタクト6 6, 6 7が設けられ、コレクタ拡散領域6 3内にはコレクタコンタクト6 8が設けられる。IC 25の表面には、仮想線で示すメタル配線が施される。ベースコンタクト6 4, 6 5にはベース配線7 1が接続され、エミッタコンタクト6 6, 6 7にはエミッタ配線7 2が接続され、コレクタコンタクト6 8にはコレクタ配線7 3が接続される。エミッタ配線7 2は、GNDパッド7 4まで延びるように形成され、途中に電流検出区間7 5が設けられる。電流検出区間7 5における電圧降下分を測定するため、検出ライン7 6, 7 7が形成

され、図1に示すカレントアンプ2 8への入力が導かれる。

【0032】図5に示すように、フィールド6 0は、P型の基板8 0の埋込N'層8 1上に島として形成される。ベースコンタクト6 4, 6 5、エミッタコンタクト6 6, 6 7およびコレクタコンタクト6 8を除いたチップ表面は、酸化膜8 2によって保護される。フィールド6 0の周囲には分離拡散層8 3が設けられる。

【0033】図6は、本発明の実施の他の形態における電流検出抵抗8 4および出力トランジスタ8 5の構成を示す。出力トランジスタ8 5は、図2に示したような小さなパワートランジスタ4 1をたとえば4 8個並列に接続して形成する。各パワートランジスタ4 1のエミッタにはエミッタ拡散抵抗4 2を接続し、動作電流の均一化を図る。このように4 8個ずつのパワートランジスタ4 1を並列接続した出力トランジスタ8 5を5個並列接続し、全体として240個のパワートランジスタ4 1によって一つのパワートランジスタ8 6としての動作を行わせる。出力トランジスタ8 5の等価的なエミッタには、メタル配線上に形成する電流検出抵抗8 4がそれぞれ接続され、そのうちの一つ、すなわち5個中の一つを代表として出力電流を検出する。電流検出抵抗8 4は精度良く形成することができ、しかも各出力トランジスタ8 5に平均化されており、しかも従来に比較すれば少ない5個中の1個で検出するので、電流検出精度を従来の場合に比較して向上させることができる。

【0034】以上の実施の形態では、パワートランジスタとしてバイポーラトランジスタの場合について説明しているけれども、MOSTランジスタなどの他の出力素子であっても同様の制御を行うことができる。また、昇

圧型スイッチング電源回路のスイッチングトランジスタの出力電流を検出しているけれども、他の形式のスイッチング電源回路や、リニア安定化電源用の半導体集積回路など、電流出力素子を含む半導体集積回路、あるいは電流検出の必要がある半導体集積回路にも同様に温度補償を行うことによってメタル配線を利用した電流検出を行うことができる。

【0035】

【発明の効果】以上のように本発明によれば、半導体集積回路内にメタル配線を利用して電流検出区間を設けるので、拡散領域を利用して電流検出区間を形成する場合に比較して高精度で電流を検出することができる。メタル配線の抵抗温度特性は温度補償されるので、半導体集積回路としての動作の信頼性を高めることができる。

【0036】また本発明によれば、半導体集積回路内の出力素子に流れる電流を精度良く検出することができるので、半導体集積回路を信頼性の高い状態で使用することができる。

【0037】また本発明によれば、スイッチング電源回路のスイッチング素子を、電流判定手段の判定出力に

応答して出力電圧の制限を行うので、スイッチング電源回路を信頼性の高い状態で動作させることができる。

【0038】また本発明によれば、出力素子の過電流保護を信頼性の高い状態で行うことができる。

【0039】また本発明によれば、スイッチング電源回路を電流モード型で動作させたときの出力電圧を、信頼性の高い状態で精度良く安定化させることができる。

【0040】また本発明によれば、出力素子を複数の並列接続によって構成し、全体としての電流を精度良く検出し、信頼性の高い動作を行わせることができる。

【0041】また本発明によれば、複数の出力素子の部分的な群の出力電流に基づいて、全体の出力電流を精度良く制御することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の電氣的構成を示すブロック図である。

【図2】図1の電圧制限回路の電氣回路図である。

*【図3】図1のパワートランジスタ26を複数のパワートランジスタによって構成する電氣回路図である。

【図4】図1のパワートランジスタ26を複数のパワートランジスタで構成する場合のチップ表面の回路配置図である。

【図5】図4の切断面線V-Vから見た断面図である。

【図6】本発明の実施の他の形態によるパワートランジスタおよび電流検出抵抗の構成を示す部分的な電氣回路図である。

10 【図7】従来からのスイッチング電源回路の概略的な電氣的構成を示すブロック図である。

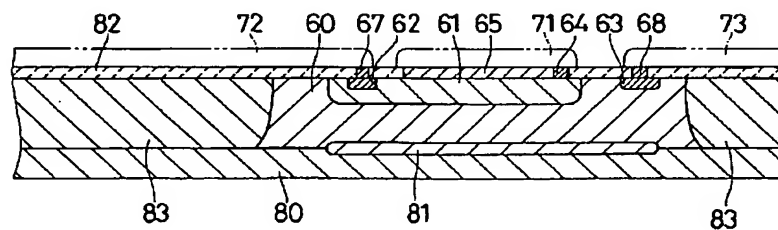
【図8】図7のスイッチング電源回路の動作を示すタイムチャートである。

【図9】図7のパワートランジスタと小容量のパワートランジスタを並列接続して構成する場合の電氣回路図である。

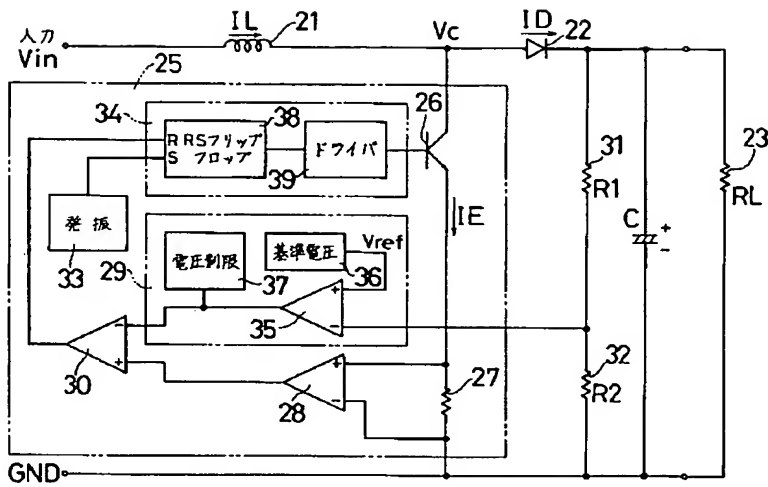
【符号の説明】

- 21 コイル
- 22 ダイオード
- 23 負荷抵抗
- 24 コンデンサ
- 25 IC
- 26, 41, 86 パワートランジスタ
- 27, 84 電流検出抵抗
- 28 カレントアンプ
- 29 エラーアンプ
- 30 コンパレータ
- 31, 32 分圧抵抗
- 33 発振器
- 35 コンパレータ
- 36 基準電圧源
- 37 電圧制限回路
- 51 NPNトランジスタ
- 52, 53, 54 PNPトランジスタ
- 55~58 抵抗
- 60 フィールド
- 75 電流検出区間

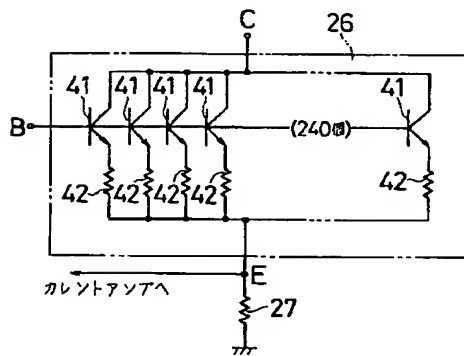
【図5】



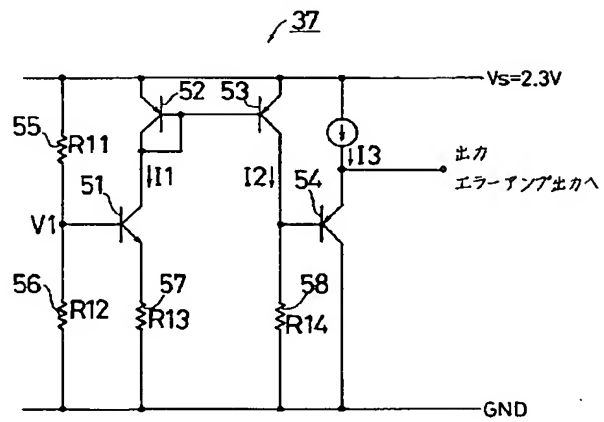
【図1】



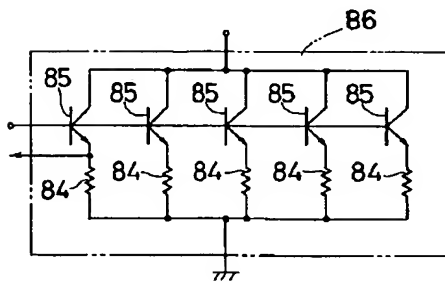
【図2】



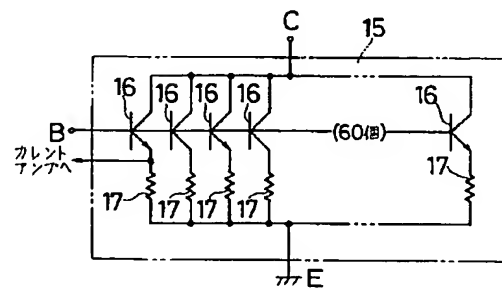
【図3】



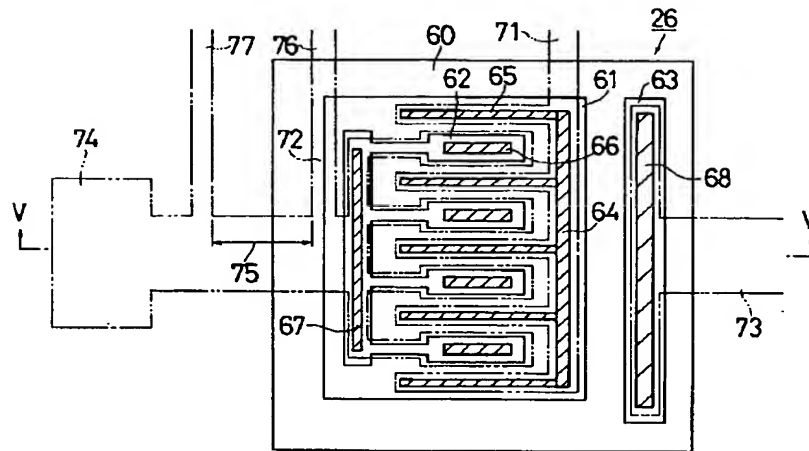
【図6】



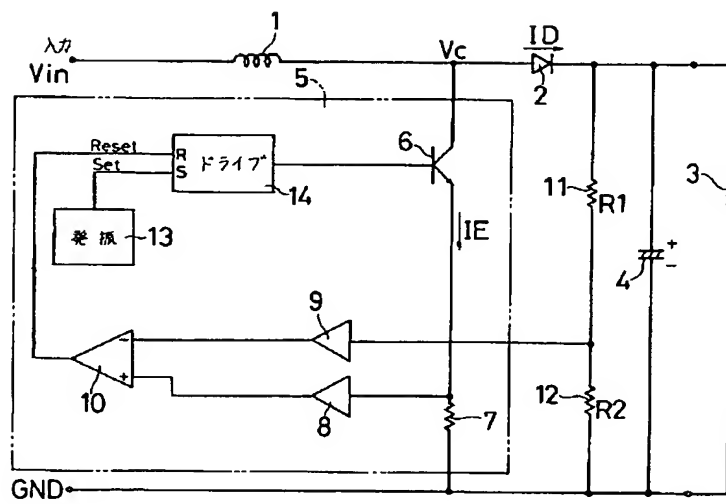
【図9】



【図4】



【図7】



【図8】

